

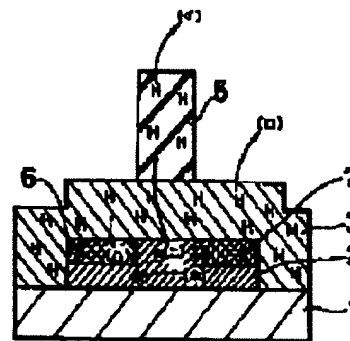
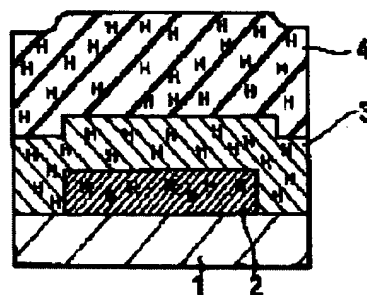
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP6244209
Publication date: 1994-09-02
Inventor: FUSE MARIO; HIROTA MASANORI; HIKIJI TAKETO
Applicant: FUJI XEROX CO LTD
Classification:
- international: **H01L21/324; H01L21/336; H01L29/786; H01L21/02; H01L29/66;** (IPC1-7): H01L21/336; H01L21/324; H01L29/784
- european:
Application number: JP19930053206 19930219
Priority number(s): JP19930053206 19930219

Report a data error here

Abstract of JP6244209

PURPOSE:To make short the path of diffusion, and to cut down the time of treatment by a method wherein, after a gate electrode film has been deposited in an hydrogen-containing atmosphere, a heat treatment is conducted to diffuse hydrogen atoms taken in a gate insulating film, the gate electrode film and the hydrogen atoms in a semiconductor layer. **CONSTITUTION:**In the distribution of free hydrogen atoms H and bound hydrogen atoms B after deposition of a gate electrode film 4 (before diffusion of hydrogen), the hydrogen atoms are taken in the gate electrode film 4, a gate insulating layer 3 and an insular semiconductor layer 2, but the greater part of them is free hydrogen atoms H. The free hydrogen atoms H are diffused from paths (c), (d) and (e) by a heat treatment, bound hydrogen atoms B are formed, the Si dangling bond of an insular semiconductor layer is terminated, and the interfacial level of the gate insulating layer 3 and the insular semiconductor layer 2 is decreased. As a result, the time required for a hydrogenation treatment can be cut down.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-244209

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/336				
29/784				
21/324	D	8617-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
		9056-4M		3 1 1 G
			審査請求 未請求 請求項の数1	FD (全 6 頁)

(21)出願番号 特願平5-53206

(22)出願日 平成5年(1993)2月19日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 布施 マリオ

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72)発明者 広田 匡紀

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72)発明者 曳地 丈人

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

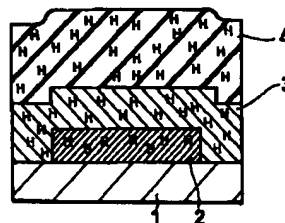
(74)代理人 弁理士 阪本 清孝 (外1名)

(54)【発明の名称】 半導体装置の製造方法

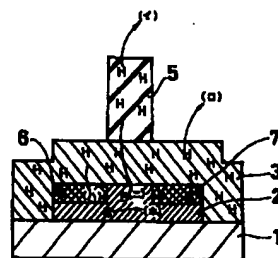
(57)【要約】

【目的】 半導体装置の製造方法において、水素化处理に要する時間の短縮化を図る。

【構成】 絶縁基板1上に、ポリシリコンから成る島状半導体層2、ゲート絶縁層3、ゲート電極膜4の堆積及びパターニングによるゲート電極5を順次形成し、前記島状半導体層2にソース電極6及びドレイン電極7を形成する半導体装置の製造方法において、前記ゲート電極膜4の堆積を水素を含有する雰囲気で行ない、その後、ゲート電極膜4及びゲート絶縁層3及び島状半導体層2中に取り込まれた水素原子を拡散させる熱処理を施すことにより、島状半導体層2のSiダングリング・ボンドを終端する。



(a) 本発明の装置



(b) 本発明の装置

未結合H原子 H
結合H原子 B

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 絶縁基板上に、ポリシリコンから成る島状半導体層、ゲート絶縁層、ゲート電極膜の堆積及びパターンニングによるゲート電極を順次形成し、前記島状半導体層にソース電極及びドレイン電極を形成する半導体装置の製造方法において、前記ゲート電極膜の堆積を水素を含有する雰囲気で行なう工程と、前記工程によりゲート絶縁膜及びゲート電極膜及び島状半導体層中に取り込まれた水素原子を拡散させる熱処理工程と、を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に係り、特に、LCD等のアクティブ・マトリックス・ディスプレイ装置の画素スイッチング素子やハイブリッド・イメージセンサの受光量読み出し回路等に使用される薄膜トランジスタの製造方法に関するものである。

【0002】

【従来の技術】アクティブマトリックス方式の液晶ディスプレイは、1つの画素に対して1つの薄膜トランジスタ(TFT)が対応するように、該TFTをマトリクス状に配置し、各TFTの駆動により各画素を制御するものである。近年、前記したアクティブマトリックス方式の液晶ディスプレイは、安価なガラス基板を使用し、周辺回路を内蔵しながら高画質化及び大画面化を図ることが急がれている。周辺回路を内蔵するためには、TFTの電流駆動能力が必要となるため、キャリア移動度が高い多結晶シリコン層をチャンネル層とするpoly-SiTFTを用いることが必要である。

【0003】従来、液晶ディスプレイの大面積化を図りつつコストの低減を図るため、大面積ガラス基板上に半導体装置を製造することが行なわれている。ガラス基板上に薄膜トランジスタ(図3)を形成する方法としては、例えば、次の各工程を含む製造方法により行なわれていた。

大面積のガラス板51上にアモルファスシリコン(a-Si)膜をLPCVD法により450~550℃の堆積温度で成膜し、このa-Si膜を600℃のN₂雰囲気中でアニール処理を行なうことにより結晶化させてpoly-Si膜を形成する。前記アニール処理方法としては、a-Si膜で吸収されるエキシマレーザーを照射することにより結晶化させることが提案されている(H. Kuriyama et al.: Proceedings of IEDM'91, pp. 563~566)。

poly-Si膜をパターンニングしてpoly-Si膜から成る島状半導体層52を形成する。

島状半導体層52を覆うようにゲート絶縁層53を堆積する。

ゲート電極膜(金属膜)を堆積し、このゲート電極膜をパターンニングしてpoly-Si膜アイランド52上にゲート電極54を形成する。

上方よりイオン注入を行なうことにより、ゲート電極54及び島状半導体層52に不純物をドーピングし、島状半導体層52のチャンネル層52aを挟んでソース部52b及びドレイン部52cを形成する。

アニール処理により不純物を活性化させる。

層間絶縁膜55を堆積し、ソース、ドレイン電極位置にコンタクト孔56を形成する。

島状半導体層52を構成するpoly-Si膜の粒界に存在するSiダングリング・ボンドを水素で終端するように水素化処理を行なう。続いて、アルミニウム膜を堆積し、これをパターンニングしてAl電極57を形成する。

【0004】前記水素化処理工程においては、水素化処理により導入された水素原子をpoly-Si膜の結晶粒界に拡散させ、Siダングリング・ボンドと結合させることにより、トラップ密度を小さくし障壁ポテンシャルの高さを低くする。その結果、多結晶Siトランジスタ内でのキャリア移動度を高くしオン電流が増加する。

【0005】従来、上記水素化処理工程としては、層間絶縁膜55として水素含有のSiN:Hを使用し、その後、加熱処理を行なってSiN:H中の水素を島状半導体層52に拡散する方法が提案されている。

【0006】

【発明が解決しようとする問題点】しかしながら、上記水素化処理によると、ゲート電極54及び層間絶縁膜55の形成後に加熱処理を行なうことにより、層間絶縁膜55中の水素をゲート絶縁層53を介して島状半導体層52に拡散させるので、拡散経路が長くなり水素拡散に時間を要するという問題点があった。また、ゲート電極54としてpoly-Si膜を使用した場合、ゲート電極54上から島状半導体層52に拡散しようとする水素原子はゲート電極54でトラップされてしまい、ソース電極52b及びドレイン電極52c表面からのみ島状半導体層52に拡散するので、効率が悪いという問題があった。更に、加熱処理において、層間絶縁膜55にクラック等を生じさせて薄膜トランジスタの特性の劣化を招くという問題もあった。

【0007】また、層間絶縁膜55の堆積前に水素プラズマ処理を行なう方法も存在するが、この方法によると、ゲート絶縁膜53が水素プラズマに直接晒され、プラズマ・ダメージが発生してゲート絶縁膜53の電気的特性が劣化し、薄膜トランジスタの信頼性を損なうという問題があった。更に、この方法の場合、水素化処理における水素プラズマ処理ではプラズマCVD装置を必要とするので、プロセス・コストの上昇を招くという問題がある。

【0008】本発明は上記実情に鑑みてなされたもので、水素化処理の効率の向上を図ることにより処理時間の短縮を達成する半導体装置の製造方法を提供することを目的とする。

50 【0009】

【課題を解決するための手段】上記従来例の問題点を解決するため本発明の半導体装置の製造方法は、絶縁基板上に、ポリシリコンから成る島状半導体層、ゲート絶縁層、ゲート電極膜の堆積及びパターンニングによるゲート電極を順次形成し、前記島状半導体層にソース電極及びドレイン電極を形成する半導体装置の製造方法において、水素化処理を次の工程で行なうことを特徴としている。第1の工程として、前記ゲート電極膜の堆積を水素を含有する雰囲気で行なう。次に、第2の工程として、前記工程によりゲート絶縁膜及びゲート電極膜及び島状半導体層中に取り込まれた水素原子を拡散させる熱処理を行なう。

【0010】すなわち、図1(a)に示すように、絶縁基板1上にポリシリコンから成る島状半導体層2を形成した後にゲート絶縁層3を形成し、その後、ゲート電極膜4を堆積する際に水素を含有する雰囲気で行ない、ゲート電極膜4、ゲート絶縁層3、島状半導体層2に水素原子を分布させる。

【0011】ゲート電極膜4の堆積法としては、スパッタリング法、CVD法（プラズマCVD法、熱CVD法、光CVD法を含む）、イオン・プレーティング法等がある。例えば、スパッタリング法では、アルゴンと水素の混合ガス中でのスパッタリングにより、ゲート電極膜4中に水素を導入することができ、イオン化された水素がプラズマ・ポテンシャルと絶縁基板1間の電位差により加速され、ゲート絶縁層3及び島状半導体層2中にも水素を導入することができる。ゲート絶縁層3及び島状半導体層2中の水素含有量を増加させたい場合には、ゲート電極膜4のスパッタリングの前に水素のみでスパッタリングしてもよい。

【0012】スパッタ・ガスとして水素と共に使用する不活性気体は、通常使用されるアルゴンの他に、希ガスに属するヘリウム、ネオン、クリプトンの単独もしくはこれらを組み合わせた混合気体を使用する。

【0013】次に、図1(b)に示すように、その後の熱処理工程で前記水素原子を再分布により拡散させ、島状半導体層2のSiダングリング・ボンドを終端する。前記熱処理は、例えば、前記ゲート電極膜4をパターンニングしてゲート電極5を形成した後、ゲート電極5をマスクとしてイオン注入あるいは質量分離を行なわないイオン・ドーピングによるソース電極6、ドレイン電極7を形成した後の、ドーパントの活性化アニールと共用して行なわれる。

【0014】ドーパントの活性化アニールは、イオン・ドーピングの場合、200～400℃で行なうことができるため、Siダングリング・ボンドを終端した結合水素原子が解離することがなく、水素原子を効率よく拡散させることができる。イオン注入の場合、ドーパントの活性化アニールは、500℃以上の温度で行なう必要があるため、ドーパントの活性化のためのレーザ・アニールと、水素拡散のための200～400℃でのアニールとを組み合わせる。また、水素原子を拡散させるアニール（熱処理）は、ドーパントの活性化アニールと共用するのでなく、ゲート電極膜4の堆積後に単独で行なってもよい。

【0015】

【作用】本発明方法によれば、ゲート電極膜の堆積の際に、ゲート電極膜、ゲート絶縁膜、島状半導体層に水素原子を導入し、その後の熱処理によりゲート絶縁膜及びゲート電極膜及び島状半導体層中に取り込まれた水素原子を拡散させ、島状半導体層中のSiダングリング・ボンドを終端し、更に、ゲート絶縁膜と島状半導体層との界面準位を低減させる。

【0016】すなわち、ゲート電極膜4の堆積直後（水素拡散前）における未結合水素原子と結合水素原子の分布は、図1(a)に示すように、ゲート電極膜4、ゲート絶縁層3、島状半導体層2中に水素原子が取り込まれるが、大部分は未結合水素原子である（図中、未結合水素原子はH、結合水素原子はBで示される）。その後の熱処理、例えば、ゲート電極膜4をパターンニングしてゲート電極5を形成した後、ソース電極6及びドレイン電極7を形成し、ドーパントの活性化アニールの熱処理において、前記取り込まれた水素原子は、図1(b)に示すような(イ)ないし(ホ)の各経路で分布する。

(イ)は、未結合水素原子がゲート電極5から大気中へ放出する経路を示している。(ロ)は、未結合水素原子がゲート絶縁層3から大気中へ放出する経路を示している。(ハ)は、未結合水素原子がゲート絶縁層3から島状半導体層2へ拡散し、島状半導体層のSiダングリング・ボンドと結合して結合水素原子を形成する経路を示している。(ニ)は、未結合水素原子がゲート電極5から島状半導体層2へ拡散し、島状半導体層2のSiダングリング・ボンドと結合して結合水素原子を形成する経路を示している。(ホ)は、ゲート電極膜4の堆積直後に島状半導体層2までたどりついた未結合水素原子が、島状半導体層2中を拡散し、島状半導体層2のSiダングリング・ボンドと結合して結合水素原子を形成する経路を示している。

【0017】本発明方法による水素化処理によれば、ゲート電極膜4の堆積中に島状半導体層2のSiダングリング・ボンドと結合して結合水素原子を形成する。更に、その後の熱処理による前記(ハ)、(ニ)、(ホ)の経路により未結合水素原子を拡散させ、結合水素原子を形成して島状半導体層2のSiダングリング・ボンドを終端し、また、ゲート絶縁層3と島状半導体層2との界面準位を低減させる。

【0018】従って、従来例で述べたように、層間絶縁膜55として水素含有のSiN:Hを使用し、その後、加熱処理を行なってSiN:H中の水素を拡散する水素化処理方法に比較して、拡散経路を短くすることができ

る。また、前記(ハ)、(ニ)、(ホ)の各経路により水素原子を拡散させるので、効率よく水素化処理を行なうことができる。また、水素プラズマ処理のようにプラズマCVD装置を必要とせず、水素化処理装置にコストがかかることを防ぐ。

【0019】

【実施例】本発明方法を使用した具体的なCMOS薄膜トランジスタの製造方法について、図2を参照しながら説明する。

実施例1

熱バフファ層12としてのSiO₂膜を5000オングストロームの膜厚に着膜したガラス基板11上に、a-Siを1000オングストロームの膜厚に着膜した後、エキシマ・レーザを用いたアニールにより結晶化してポリシリコン膜13を形成する。続いて、前記ポリシリコン膜13をパターニングして一対の島状半導体層14、14を形成する。次に、LPCVD法を用いてSiO₂を1000オングストロームの膜厚に着膜してゲート絶縁層15を形成する。ゲート絶縁層15の緻密化アニールを行なった後、2000~5000オングストロームの膜厚のタンタル(Ta)膜をゲート電極膜16として水素雰囲気中で着膜する。この際、ゲート電極膜16、ゲート絶縁層15、島状半導体層14に水素原子が導入され、その一部が島状半導体層14のSiダングリング・ボンドと結合して結合水素原子を形成する。残りの水素原子は未結合水素原子として、ゲート電極膜16、ゲート絶縁層15、島状半導体層14中に取り込まれる。

【0020】ゲート電極膜16の着膜は、H₂/Ar=0.5~50%の雰囲気中のTaターゲットのDCスパッタリングにより行なった。スパッタ雰囲気中のH₂含有率は、ポリシリコンの性質及びゲート電極材料に依存し、前記した数値は代表的な値を記したものである。

【0021】次に、ゲート電極膜16のパターニングを行い、各島状半導体層14上にゲート電極17を形成する。ドーピング・マスク(図示せず)でpチャネルの薄膜トランジスタ側となる部分を覆い、上方よりシャワー・ドーピングによりリン(P)を注入し、自己整合型nチャネルの薄膜トランジスタ側のソース電極18及びドレイン電極19を形成する。注入条件は、5%PH₃/H₂を用い110keVのエネルギーでドーズ量を4.0×10¹⁵(リン原子)/cm²とした。

【0022】次に、前記ドーピング・マスクを剥離し、nチャネルの薄膜トランジスタ側となる部分をドーピング・マスク(図示せず)で覆い、上方よりシャワー・ドーピングによりボロン(B)を注入し、自己整合型pチャネルの薄膜トランジスタ側のソース電極18及びドレイン電極19を形成する。注入条件は、5%B₂H₆/H₂を用い40~80keVのエネルギーでドーズ量を4.0×10¹⁵(ボロン原子)/cm²とした。

【0023】続いて、ドーパントの活性化アニールとし

て、窒素雰囲気中で350~400℃で2~5時間の熱処理を行なう。この時、Taで形成されたゲート電極17、SiO₂で形成されたゲート絶縁層15、ポリシリコンから成る島状半導体層14中に取り込まれた前記未結合水素原子が拡散し、島状半導体層14中のSiダングリング・ボンドを終端させるとともに、島状半導体層14とゲート絶縁層15の界面準位を低減させる。

【0024】その後、層間絶縁膜20としてプラズマCVD法によりSiO₂膜を7000オングストローム~1ミクロンの膜厚に堆積し、コンタクトホール21の形成、配線材料であるAl-Cuを1.2μmの膜厚にスパッタリング法により堆積及びパターニングして配線電極22の形成、パッシベーション膜としてのSi₃N₄膜の着膜及びパターニングを行ない(図示せず)、CMOS薄膜トランジスタ(TFT)を完成させる。

【0025】実施例2

熱バフファ層12としてのSiO₂膜を5000オングストロームの膜厚に着膜したガラス基板11上に、a-Siを1000オングストロームの膜厚に着膜した後、500~700℃の炉アニールによる固相成長で結晶化してポリシリコン膜13を形成する。続いて、前記ポリシリコン膜13をパターニングして一対の島状半導体層14、14を形成する。次に、ECRプラズマCVD法を用いてSiO₂を1000オングストロームの膜厚に着膜してゲート絶縁層15を形成する。ゲート絶縁層15の緻密化アニールを行なった後、2000~5000オングストロームの膜厚のタングステン(W)膜をゲート電極膜16として水素雰囲気中で着膜する。この際、ゲート電極膜16、ゲート絶縁層15、島状半導体層14に水素原子が導入され、その一部が島状半導体層14のSiダングリング・ボンドと結合して結合水素原子を形成する。残りの水素原子は未結合水素原子として、ゲート電極膜16、ゲート絶縁層15、島状半導体層14中に取り込まれる。

【0026】ゲート電極膜16の着膜は、H₂/WF₆=0.5~50%の混合雰囲気中でプラズマCVDにより行なった。プラズマ雰囲気中のH₂含有率は、ポリシリコンの性質及びゲート電極材料に依存し、前記した数値は代表的な値を記したものである。

【0027】次に、ゲート電極膜16のパターニングを行い、各島状半導体層14上にゲート電極17を形成する。ドーピング・マスク(図示せず)でpチャネルの薄膜トランジスタ側となる部分を覆い、上方よりシャワー・ドーピングによりリン(P)を注入し、自己整合型nチャネルの薄膜トランジスタ側のソース電極17及びドレイン電極18を形成する。注入条件は、5%PH₃/H₂を用い110keVのエネルギーでドーズ量を4.0×10¹⁵(リン原子)/cm²とした。

【0028】次に、前記ドーピング・マスクを剥離し、nチャネルの薄膜トランジスタ側となる部分をドーピン

グ・マスク（図示せず）で覆い、上方よりシャワー・ドーピングによりボロン（B）を注入し、自己整合型pチャネルの薄膜トランジスタ側のソース電極18及びドレイン電極19を形成する。注入条件は、5% B₂H₆/H₂を用い80keVのエネルギーでドーズ量を 4.0×10^{15} （ボロン原子）/cm²とした。

【0029】続いて、ドーパントの活性化アニールとして、窒素雰囲気中で350～400℃で2～5時間の熱処理を行なう。この時、Wで形成されたゲート電極17、SiO₂で形成されたゲート絶縁層15、ポリシリコンから成る島状半導体層14中に取り込まれた前記未結合水素原子が拡散し、島状半導体層14中のSiダングリング・ボンドを終端させるとともに、島状半導体層14とゲート絶縁層15の界面準位を低減させる。以下の工程は第1の実施例と同様であるので説明を省略する。

【0030】上記実施例では、ゲート電極膜16の材料としてTa、Wを使用した。例えば、シリコン（Si）、アルミニウム（Al）、モリブデン（Mo）、チタン（Ti）、ニッケル（Ni）、クロム（Cr）、銅（Cu）のうちの1元素もしくは複数元素から成る化合物を使用してもよい。また、ゲート電極膜16の堆積方法として、上記実施例においてはスパッタリング法やプラズマCVD法を使用した。また、堆積時にゲート電極膜16中に水素が導入される堆積方法であればいずれの方法を用いてもよい。例えば、ゲート電極膜の材料の元素を含んだ原料ガスを用いた熱CVD法、光CVD法や、イオン・プレーティング法等を使用してもよい。また、電界メッキや無電界メッキ等による湿式法を用いてもよい。

【0031】上記実施例では、ドーパントの活性化アニールと水素化処理のためのアニール（熱処理）とを共用して行なうため、プロセス工程の簡略化を図ることがで

きる。また、従来例のように、層間絶縁膜20の堆積後に熱処理を行なうことがないので、層間絶縁膜20に劣化が生じることを防止することができる。

【0032】上記各実施例では、ドーパントの活性化アニールと水素化処理のためのアニール（熱処理）とを共用して行なったが、ゲート電極膜16のパターニング前に、窒素雰囲気中で350～400℃、2～5時間のアニールを行なうことにより水素化処理を行なってもよい。この場合、ゲート絶縁層15全体をゲート電極膜16が被覆している。水素の拡散源の面積を大きくすることができ、水素化の効率の向上を図ることができる。

【0033】

【発明の効果】本発明方法によれば、熱処理における結合水素原子を形成に際し、ゲート電極、ゲート絶縁膜、島状半導体層中に取り込まれた未結合水素原子を拡散するので、拡散経路を短くするとともに拡散効率を向上させ、水素化処理に要する時間の短縮を図ることができる。

【図面の簡単な説明】

【図1】（a）はゲート電極膜堆積後における未結合水素原子と結合水素原子との分布を概略的に示した薄膜トランジスタの断面説明図、（b）は熱処理工程における未結合水素原子と結合水素原子との分布を概略的に示した薄膜トランジスタの断面説明図である。

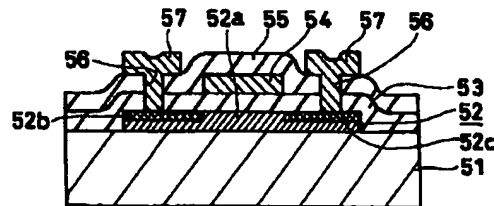
【図2】（a）ないし（e）はCMOS薄膜トランジスタの製造工程を示す断面説明図である。

【図3】 薄膜トランジスタの構造を説明するための断面説明図である。

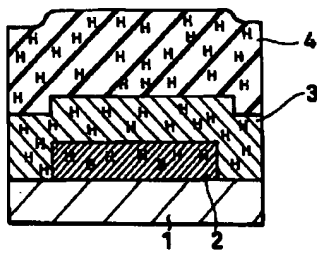
【符号の説明】

1…絶縁基板、 2…島状半導体層、 3…ゲート絶縁層、 4…ゲート電極膜、 5…ゲート電極、 6…ソース電極、 7…ドレイン電極

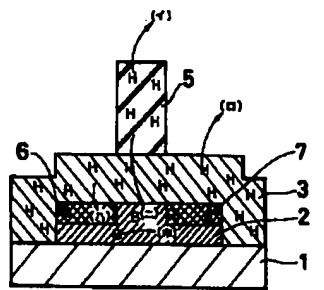
【図3】



【図1】



(a) 水素処理前



(b) 水素処理後

未結合H原子 H
結合H原子 B

【図2】

